

57687-US
KK/SN

4552
09/117,270



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年11月25日

出願番号
Application Number:

平成11年特許願第334277号

出願人
Applicant(s):

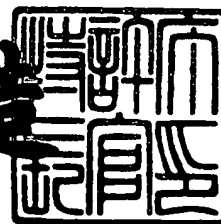
株式会社デンソー

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年12月 1日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3099943

【書類名】 特許願

【整理番号】 P991643

【提出日】 平成11年11月25日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/167

【発明者】

【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

【氏名】 鈴木 孝直

【特許出願人】

【識別番号】 000004260

【氏名又は名称】 株式会社デンソー

【代理人】

【識別番号】 100068755

【住所又は居所】 岐阜市大宮町 2 丁目 1 2 番地の 1

【弁理士】

【氏名又は名称】 恩田 博宣

【電話番号】 058-265-1810

【選任した代理人】

【識別番号】 100105957

【住所又は居所】 東京都渋谷区代々木二丁目 1 0 番 4 号 新宿辻ビル 8 階

【弁理士】

【氏名又は名称】 恩田 誠

【電話番号】 03-5365-3057

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908214

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子制御装置

【特許請求の範囲】

【請求項 1】 複数の CPU と、各 CPU で共用される不揮発性メモリとを備え、各 CPU 及び不揮発性メモリの間が相互に通信可能に接続される電子制御装置であって、

前記複数の CPU のうち、任意の CPU が不揮発性メモリにアクセスする前に、他の CPU によるアクセス中でないことを確認して、当該他の CPU に対して不揮発性メモリへアクセスする旨を通知し、不揮発性メモリへのアクセス終了後、他の CPU への通知を解除することを特徴とする電子制御装置。

【請求項 2】 各 CPU の間がポートを介して接続されており、任意の CPU が不揮発性メモリにアクセスする際、前記ポートの論理レベルをアクセス中を示す状態とする請求項 1 に記載の電子制御装置。

【請求項 3】 電源投入時における初期化処理を実施する際、各 CPU が不揮発性メモリにアクセスするタイミングをずらす請求項 1 又は 2 に記載の電子制御装置。

【請求項 4】 請求項 3 に記載の電子制御装置において、

不揮発性メモリへのアクセスのタイミングをずらすべくシステムレジスタの初期化処理を分割して行う電子制御装置。

【請求項 5】 請求項 3 又は 4 に記載の電子制御装置において、

初期化処理を実施する際、不揮発性メモリに格納されるデータのうち、予め区分けされた優先度の高いデータのみを読み出し、優先度の低いデータはその後、制御に必要になると読み出すこととする電子制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の CPU を持つ電子制御装置において、1 つの不揮発性メモリを共有する技術に関する。

【0002】

【従来の技術】

近年、例えば車載されることを用途とする電子制御装置では、制御システムの高機能化や高信頼性化の要求に伴い、複数のCPUを使用した構成が多用されつつある。また、電子制御装置は、バッテリーが外されても記憶内容を保持する不揮発性メモリとしてEEPROM等を備え、そのEEPROMには、仕向け地、MT（手動変速機）／AT（自動変速機）、過給器の有無等の車両情報や故障情報のデータが記憶される。

【0003】

複数のCPUを搭載した電子制御装置として、CPU毎にEEPROMをそれぞれ設け、各々のCPUで個別のEEPROMにアクセスしてデータの読み出し／書き込みを行うものがある。ところが、かかる装置では、使用するCPUと同じ数だけEEPROMが必要となり、コストアップの原因となる。

【0004】

これに対して、特開昭62-139064号公報に開示された「マルチコンピュータシステム」では、複数のCPUのうち、何れか一つにのみEEPROMを接続し、このEEPROMを各CPUで共用することにより、EEPROMの必要数を減らしコスト削減を図っている。

【0005】

より詳しくは、図7に示されるように、電子制御装置20は、2つのCPU21、22と、1つのEEPROM23とを備える。CPU21、22間は通信ライン24、25を介して接続されている。また、一方のCPU21は信号ライン26を介してEEPROM23に接続されている。本装置において、例えばソフトウェアの初期化処理時には、CPU21はEEPROM23からデータを読み出し、更にそのデータをCPU間の通信ライン24を介してCPU22に送信する。これにより、CPU21、22が共に使用可能な状態となる。また、CPU22のデータをEEPROM23へ書き込む場合には、書き込むべき全データをCPU間の通信ライン25を介してCPU21へ送信し、CPU21がEEPROM23へのデータ書き込みを行う。

【0006】

【発明が解決しようとする課題】

しかしながら、上記図 7 の装置においては、CPU 2 1 が仲介となってEEPROM 2 3 がアクセスされるので、CPU 2 2 ではアクセス時間が増大する、或いはCPU間の通信データ量が増大するといった問題が生ずる。すなわち、ソフトウェアの初期化処理時には、一方のCPU 2 1 がEEPROMデータを読み出し、他方のCPU 2 2 では、CPU 2 1 で読み出したデータを受信した後でなければ使用することができない。それ故、読み出したデータを処理に反映するのが遅れてしまう。また、CPU 2 2 がEEPROM 2 3 へデータを書き込む場合、その全データを一旦CPU 2 1 へ送信しなくてはならないので、CPU 2 1, 2 間の通信データ量が膨大になる。

【0 0 0 7】

本発明の目的は、複数のCPUで一つの不揮発性メモリを共用する電子制御装置において、不揮発性メモリへ効率良くアクセスすると共に、CPU間の通信データ量を削減することである。

【0 0 0 8】

【課題を解決するための手段】

請求項 1 に記載の電子制御装置によれば、何れかのCPUが不揮発性メモリとアクセスする際、他のCPUによるアクセス中でないことが事前に確認した後、不揮発性メモリのデータ読み出し又は書き込みが行われる。また、このアクセス時には、その旨が他のCPUに通知される。従って、コスト削減を図るべく、複数のCPUで一つの不揮発性メモリを共用する電子制御装置において、特定のCPUを介して不揮発性メモリへのアクセスが行われる従来装置（図 7 の装置）に比べて、不揮発性メモリへのアクセス時間を大幅に短縮することができる。また、不揮発性メモリへのアクセス時には、その旨を該当するCPUから他のCPUに対して通知するだけでよいので、不揮発性メモリへの書き込みデータ等をCPU間で通信する従来装置（図 7 の装置）に比べ、CPU間の通信データ量が大幅に削減できる。

【0 0 0 9】

請求項 2 に記載の発明では、任意のCPUが不揮発性メモリにアクセスする際

、ポートの論理レベルをアクセス中を示す状態とする。要するに、アクセス中でない他のCPUは、ポートの論理レベルにより不揮発性メモリへのアクセスの有無、すなわちアクセスの可否を判断する。この場合、電子制御装置の簡易構成が実現できる。

【0010】

また、請求項3に記載の発明によれば、電源投入時における初期化処理を実施する際、各CPUが不揮発性メモリにアクセスするタイミングをずらすので、電源投入当初において資源利用の競合によるアクセス待ちが起こることはなく、そのアクセス待ちに起因して初期化時間が長引くことが防止される。それ故、初期化時間の短縮を実現することができる。

【0011】

この場合、請求項4に記載したように、不揮発性メモリへのアクセスのタイミングをずらすべくシステムレジスタの初期化処理を分割して行うと良い。実際には、1つのCPUを除き、それ以外のCPUについて、不揮発性メモリへのアクセス時期が重複しないようシステムレジスタの初期化処理を分割して設定しておく。

【0012】

更に、請求項5に記載の発明によれば、初期化処理を実施する際、不揮発性メモリに格納されるデータのうち、予め区分けされた優先度の高いデータのみを読み出し、優先度の低いデータはその後、制御が必要になると読み出すので、電源投入の当初には必要最小限のデータだけが読み出されることとなる。従って、各々のCPUにおける初期化処理が完了するまでの時間が短縮される。特に、車両の仕向け情報や車両の仕様を表すデータについて優先度を高くしておけば、電子制御装置の起動に伴い、その当初から車両の走行状態や車載エンジンの運転状態が好適に制御できるようになる。

【0013】

【発明の実施の形態】

以下、この発明を具体化した一実施の形態を図面に従って説明する。本実施の形態の電子制御装置（ECU）は、複数のCPUを備えるマルチCPUシステム

を構築するものであり、車両の走行状態やエンジンの運転状態を制御する。本実施の形態の装置は特に、2個のCPUで1個のEEPROMを共有するシステムを実現する。

【0014】

図1は、ECUの概要を示すブロック図である。同図において、ECU10は、第1CPU11と第2CPU12とEEPROM13とを備え、各CPU11及び12間は汎用ポート14, 15を介して接続されている。また、各CPU11, 12とEEPROM13は、データ読み出し／書き込み用のチップセレクトライン16、クロックライン17、SCI (Serial Communication Interface) ライン18をそれぞれ共有し、各ラインを介して相互に接続されている。なお本実施の形態では、汎用ポート14, 15の能動レベル (Active level) をLレベルとし、そのLレベルの状態をEEPROM使用中と定義する。

【0015】

次に、ECU10内の各CPU11, 12により実施される各種演算処理について図2～図6のフローチャートを参照しながら順に説明する。

まずは図2のフローチャートを用い、ソフトウェアの初期化時におけるEEPROM13のデータ読み出し処理を説明する。ECU10に電源が投入されると、第1CPU11及び第2CPU12はほぼ同時に起動し、第1CPU11は図2(a)のメインルーチンで初期化処理を実行し、第2CPU12は図2(b)のメインルーチンで初期化処理を実行する。

【0016】

詳細には、第1CPU11が起動すると、図2(a)のステップ101では全てのシステムレジスタのうち、EEPROM13にアクセスするために必要なシステムレジスタだけを初期化し、続くステップ102では、EEPROM13内の重要データを読み出す。このとき、EEPROM13の全データのうち、仕向け地、MT/AT、過給器の有無、VINコード等の車両情報や故障情報のデータなど、車両制御に大きな影響がある比較的重要なデータのみを読み出す。こうして重要データのみを優先して初期化することにより、起動直後の初期化処理が必要以上に長引かず、EEPROM13へのアクセス時間が短縮される。

【0017】

次に、ステップ103では、残りのシステムレジスタの初期化を行い、続くステップ104では、アプリケーションデータの初期化を行う。このアプリケーションデータの初期化時には、既にEEPROMデータが読み出されており、EEPROMデータを用いてアプリケーション処理が適宜切り替えられる。このステップ104までが起動当初における一連の初期化処理に相当する。

【0018】

その後、通常の各種制御が実施される途中で、EEPROM13の残りのデータが必要になると、ステップ110にて該当するデータがEEPROM13から適宜読み出される。

【0019】

一方、第2CPU12が起動すると、先ず図2(b)のステップ201では、システムレジスタの初期化を行う。このとき、前記図2(a)の処理では、システムレジスタの初期化処理を前後2つに分割して実施したのに対し、図2(b)の処理では、全てのシステムレジスタの初期化処理をまとめて実施する。

【0020】

続くステップ202では、前記図2(a)のステップ102と同様に、仕向け地、MT/AT、過給器の有無、VINコード等の車両情報や故障情報のデータなど、車両制御に大きな影響がある比較的重要なデータのみをEEPROM13から読み出す。次に、ステップ203では、アプリケーションデータの初期化を行う。

【0021】

その後、図2(a)と同様に、通常の各種制御が実施される途中で、EEPROM13の残りのデータが必要になると、ステップ210にて該当するデータがEEPROM13から適宜読み出される。

【0022】

図2(a)、(b)を比較すると前述の通り、前者はシステムレジスタの初期化処理を分割して行い、後者はシステムレジスタの初期化を一括して行うので、EEPROM13へのアクセスの時期がずらされることとなる。それ故、EEP

ROM 13 へのアクセス待ちが生じることはなく、初期化処理が効率良く実施される。

【0023】

次に、EEPROM 13 のデータ読出処理の流れを、図 3 及び図 4 のフローチャートを参照しながら説明する。なお、以下の説明では、第 1 CPU 11 によりデータ読み出しが実施される場合を例にして説明する。

【0024】

図 3 の処理は、例えば、前記図 2 (a) のステップ 102, 110 の処理や図 2 (b) のステップ 202, 210 の処理にて起動される他、時間同期処理等から EEPROM 読み出し要求がコールされた場合に起動される。特にこの図 3 の処理では、図 2 (a) のステップ 110 や図 2 (b) のステップ 210 において EEPROM 13 へのアクセスが重複する場合にそれを調停する。

【0025】

最初にステップ 301 では、他側の CPU (この場合は第 2 CPU 12) が EEPROM 13 を使用中でないか否かを判別する。これは、第 2 CPU 12 に接続された汎用ポート 15 が L レベルかどうかで判断する。EEPROM 使用中の場合はステップ 307 へジャンプし、リターンコード RC を「ビジー (Busy)」とする。すなわち、EEPROM データが読み出せなかったことを上位関数に伝える。

【0026】

EEPROM 未使用の場合は、ステップ 302 に進み、汎用ポート 14 を L レベルとして第 2 CPU 12 に対して EEPROM 使用中である旨を通知する。続くステップ 303 では、読み出しコマンドを送信レジスタにセットする。その後、ステップ 304 では処理モードを「読み出し」にセットし、ステップ 305 では受信割り込みを許可する。更に、ステップ 306 では、リターンコード RC を「OK」として EEPROM データが読み出せることを上位関数に伝え、本処理を終了する。

【0027】

続いて、EEPROM 13 からのデータ受信割り込みを受信すると、第 1 CP

U11は図4の処理を起動する。図4において、始めにステップ401では他の受信割り込みを禁止する。続くステップ402では、EEPROM13からの受信データを取得し、その受信データをレジスタから第1CPU11内のRAMへコピーする。

【0028】

その後、ステップ403では、処理モードを「無し (None)」に戻す。また、続くステップ404では、汎用ポート14をHレベルに戻し、第2CPU12に対してEEPROM未使用とした旨を通知する。

【0029】

なお、ECU10の初期化に際して図3の処理が起動される場合、すなわち図2(a)、(b)のステップ102、202で図3の処理が起動される場合には、同図のステップ301が必ずYESとなり、後続のEEPROM読み出し処理が直ちに実行される。

【0030】

次に、EEPROM13へのデータ書込処理の流れを、図5及び図6のフローチャートを用いて説明する。なお、ここでも図3及び図4での説明と同様に、第1CPU11によりデータ書き込みが実施される場合を例にして説明する。

【0031】

図5の処理は、例えば、時間同期処理等からEEPROM書き込み要求がコールされた場合に起動される。最初にステップ501では、汎用ポート15の状態に基づいて他側のCPU（この場合は第2CPU12）がEEPROM13を使用中でないか否かを判別する。EEPROM使用中の場合はステップ506へジャンプし、リターンコードRCを「ビジー」とする。

【0032】

EEPROM未使用の場合は、ステップ502に進み、汎用ポート14をLレベルとして第2CPU12に対してEEPROM使用中である旨を通知する。続くステップ503では、書き込みコマンドを送信レジスタにセットする。その後、ステップ504では処理モードを「書き込み」にセットし、ステップ505ではリターンコードRCを「OK」として本処理を終了する。

【0033】

一方、所定の時間周期で割り込みが発生すると、第1CPU11は図6の時間同期割り込み処理を起動する。図6において、ステップ601では、処理モードが「書き込み」になっていることを確かめ、続くステップ602では、EEPROM13がビジー状態（書き込みコマンド処理中状態）でないことを確かめる。処理モードが書き込みでない場合、或いはEEPROMビジーの場合（ステップ601がNO、或いはステップ602がYESの場合）、そのまま本処理を終了する。

【0034】

また、ステップ603に進むと、処理モードを「無し（None）」に戻す。また、続くステップ604では、汎用ポート14をHレベルに戻し、第2CPU12に対してEEPROM未使用とした旨を通知する。

【0035】

要するに、上述した図3～図6が本発明の要旨にかかる部分であり、例えば第1CPU11がEEPROM13とアクセス（読み出し又は書き込み）する前に、第2CPU12によるアクセス中でないことが事前に確認され（ステップ301、501）、アクセス中でなければ、EEPROM13へアクセスする旨が第2CPU12に通知される（ステップ302、502）。また、EEPROM13へのアクセス終了後、アクセス中である旨の通知が解除される（ステップ404、604）。第2CPU12がこれら図3～図6の処理を実施する場合も同様である。

【0036】

かかる場合、各CPU11、12はそれぞれ、EEPROM13に直接アクセスし、読み出し又は書き込みを行う。つまり、従来装置（例えば図7の装置）とは異なり、CPU間通信を介さなくても個々のCPU11、12でEEPROMデータが授受される。またこのとき、CPU毎にEEPROMを個別に持つ構成と比較しても、CPU間の通信データの量が増えることはない。

【0037】

以上詳述した本実施の形態によれば、以下に示す効果が得られる。

(イ) コスト削減を図るべく第 1 及び第 2 CPU 1 1, 1 2 で一つの E E P R O M 1 3 を共用する E C U 1 0 において、E E P R O M 1 3 へのアクセス時間を大幅に短縮することができると共に、C P U 1 1, 1 2 間の通信データ量が大幅に削減できる。

【 0 0 3 8 】

(ロ) 汎用ポート 1 4, 1 5 の論理レベルにて E E P R O M 1 3 へのアクセスの有無が通知されて、アクセスの可否が判断されるので、E C U 1 0 の簡易構成が実現できる。

【 0 0 3 9 】

(ハ) E C U 1 0 の初期化に際し、各 C P U 1 1, 1 2 が E E P R O M 1 3 にアクセスするタイミングをずらしたので、E E P R O M 資源利用の競合によるアクセス待ちが起こることはなく、そのアクセス待ちに起因して初期化時間が長引くことが防止される。それ故、初期化時間の短縮を実現することができる。この場合、C P U 毎に E E P R O M を持つ構成と比較しても、初期化時間はほぼ同等である。

【 0 0 4 0 】

(ニ) E C U 1 0 の初期化に際し、車両情報や故障情報のデータなど車両制御に大きな影響がある比較的重要なデータ（優先度の高いデータ）のみを読み出し、それ以外のデータ（優先度の低いデータ）はその後、制御に必要になると読み出すので、E C U 1 0 への電源投入当初には、必要最小限のデータだけが読み出される。従って、各々の C P U 1 1, 1 2 における初期化処理が完了するまでの時間が短縮される。この場合、E C U 1 0 の起動当初から車両の走行状態や車載エンジンの運転状態が好適に制御できるようになる。

【 0 0 4 1 】

(ホ) アプリケーションデータの初期化よりも前に E E P R O M データを読み出すため、アプリケーション処理中に E E P R O M データを参照しながら処理の切り替えを実施することが可能となる。

【 0 0 4 2 】

なお本発明は、上記以外に次の形態にて具体化できる。

上記実施の形態では、EEPROM使用中か否かを汎用ポート 1 4, 1 5 の論理レベルで判定したが、これを変更する。例えば、第 1 及び第 2 CPU 1 1, 1 2 間をポートで接続せず、チップセレクトの状態をチェックすることにより EEPROM 使用中か否かを判断する。この場合、ECU 1 0 の構成をより一層簡略化できる。

【0 0 4 3】

ECU 1 0 内に 3 つ以上の CPU を設ける場合にも本発明は勿論適用できる。この場合、図 2 の初期化処理では、EEPROM データを読み出すタイミングが互い違いになるよう、システムレジスタの初期化処理やそれにアプリケーションデータの初期化を加えた処理等を分割して設定しておくが良い。

【0 0 4 4】

本発明が適用できる不揮発性メモリとして、既述の EEPROM 以外に、フラッシュメモリを用いることも可能である。

【図面の簡単な説明】

【図 1】 発明の実施の形態における ECU の概要を示す構成図。

【図 2】 第 1 CPU 及び第 2 CPU におけるメインルーチンを示すフローチャート。

【図 3】 読み出し要求処理を示すフローチャート。

【図 4】 受信割り込み処理を示すフローチャート。

【図 5】 書き込み要求処理を示すフローチャート。

【図 6】 時間同期処理を示すフローチャート。

【図 7】 従来技術における ECU の構成を示す図。

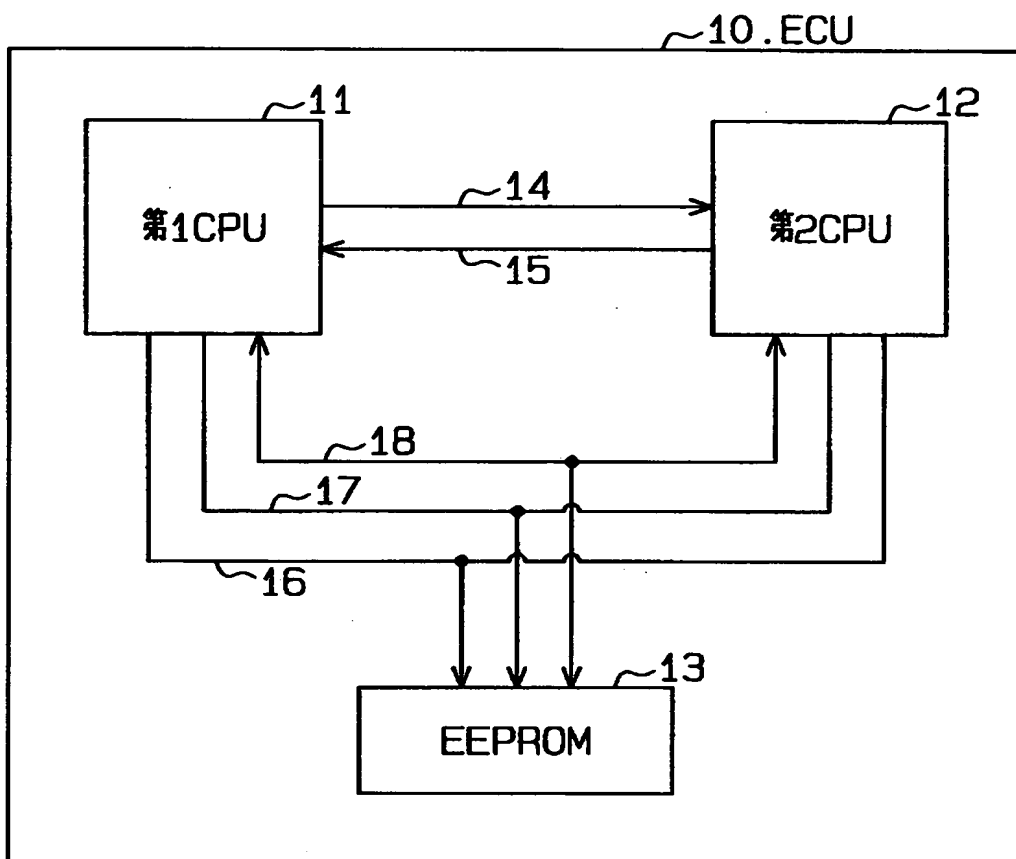
【符号の説明】

1 0 … ECU、1 1 … 第 1 CPU、1 2 … 第 2 CPU、1 3 … 不揮発性メモリとしての EEPROM、1 4, 1 5 … 汎用ポート。

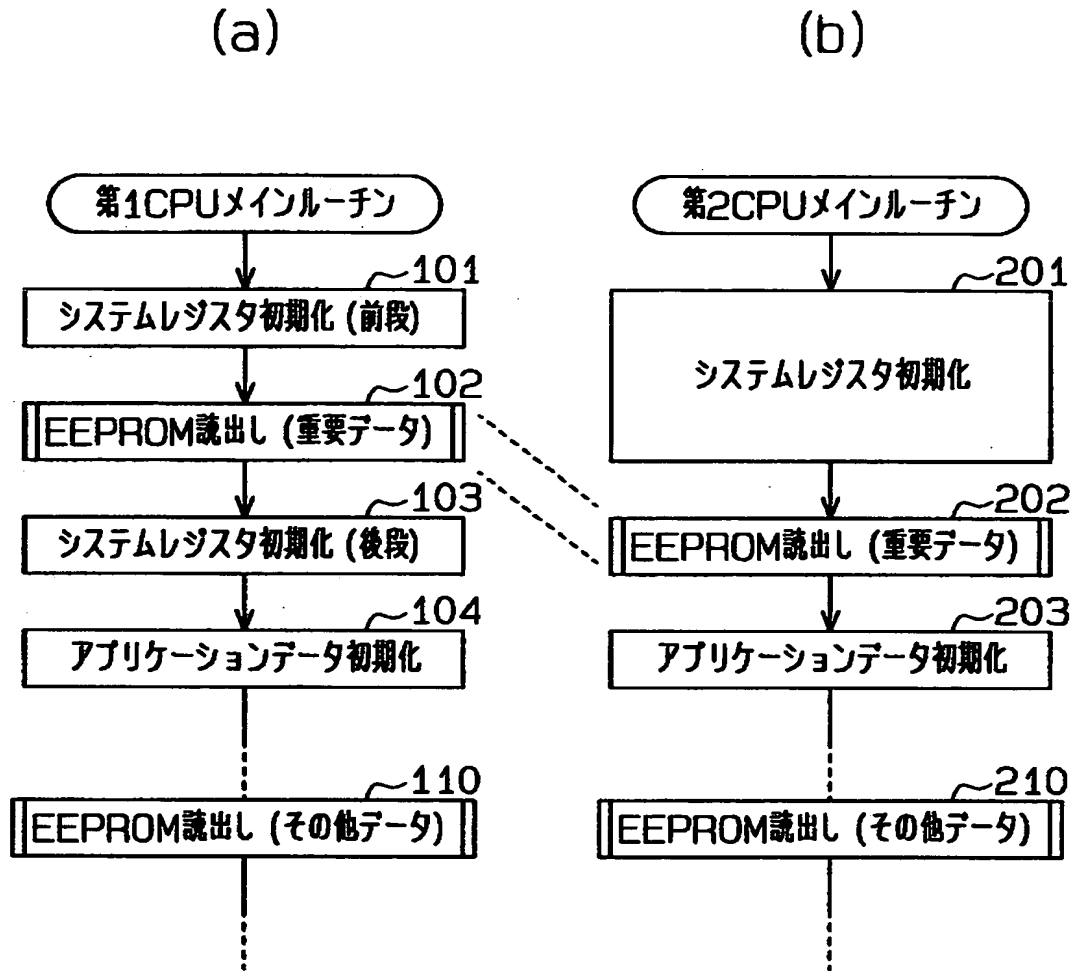
【書類名】

図面

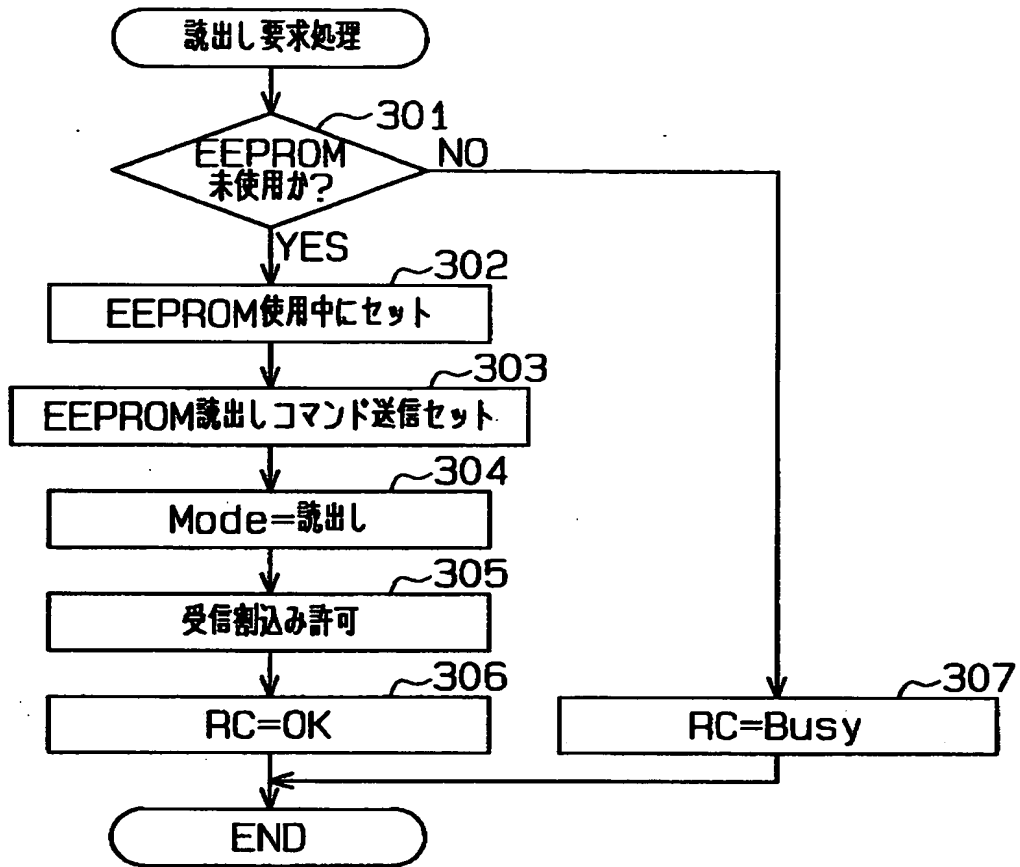
【図 1】



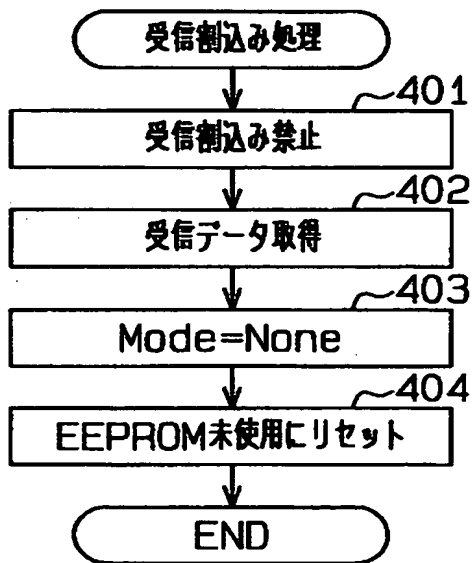
【図 2】



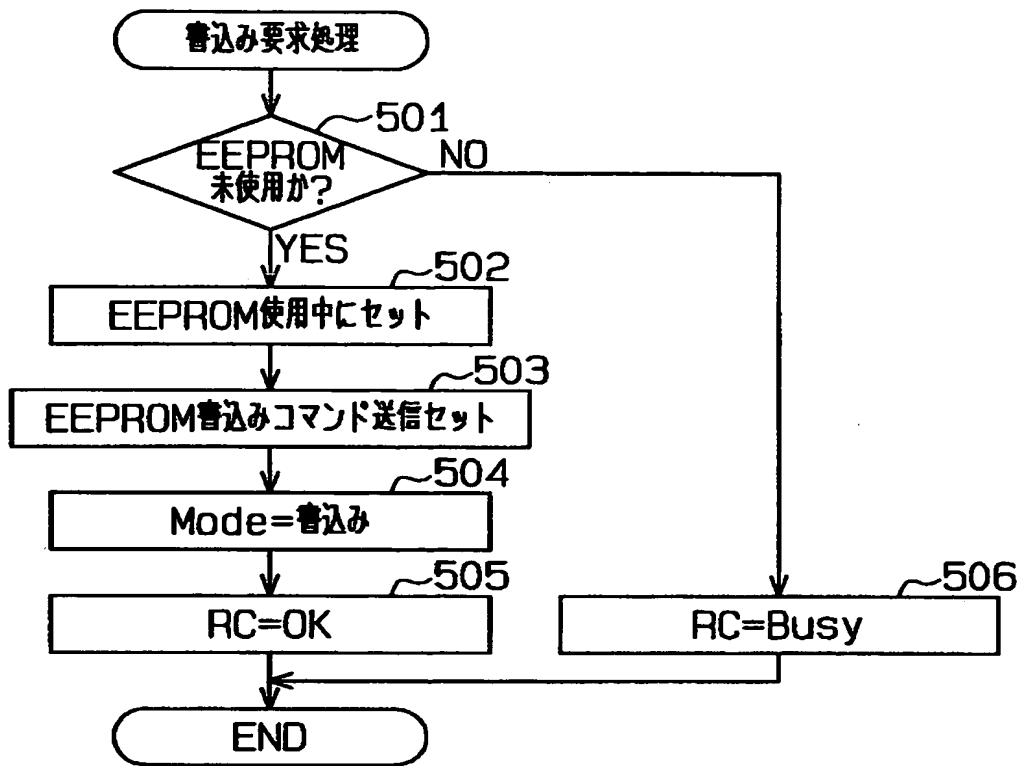
【図 3】



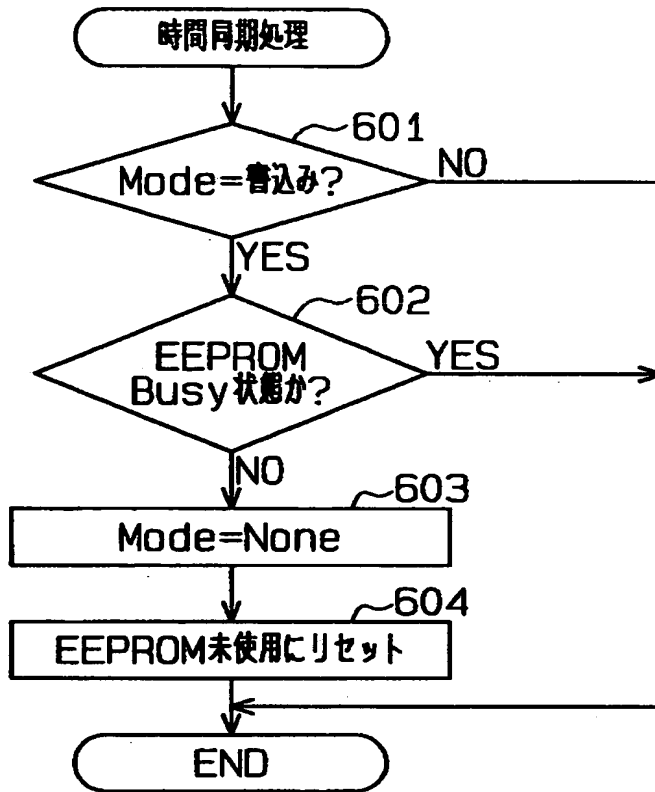
【図 4】



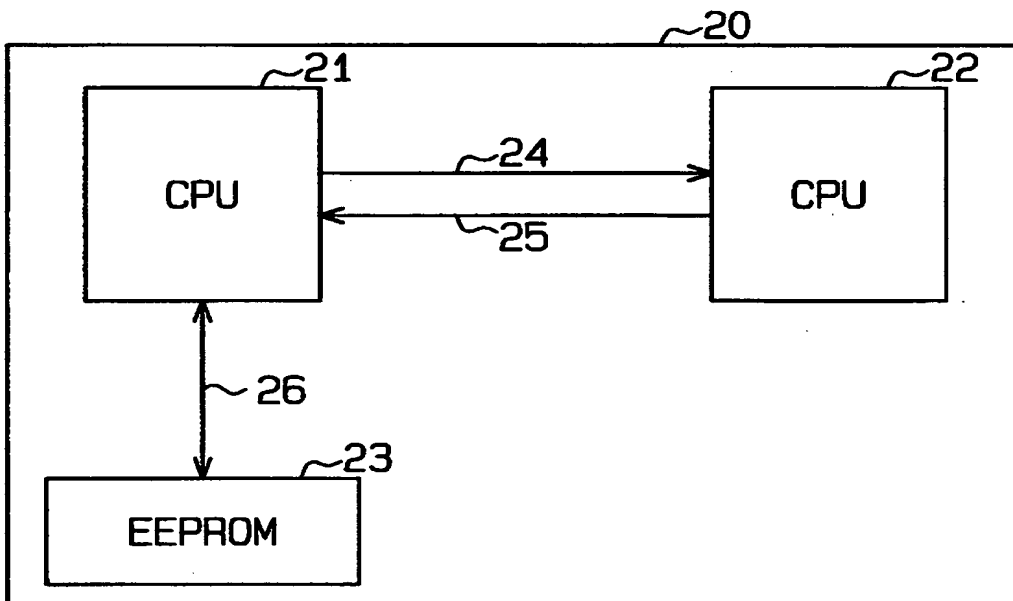
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】複数のCPUで一つの不揮発性メモリを共用する電子制御装置において、不揮発性メモリへ効率良くアクセスすると共に、CPU間の通信データ量を削減する。

【解決手段】 ECU 1 0 は、第 1 CPU 1 1 と第 2 CPU 1 2 と EEPROM 1 3 とを備え、各 CPU 1 1 及び 1 2 間は汎用ポート 1 4, 1 5 を介して接続されている。各 CPU 1 1, 1 2 と EEPROM 1 3 は、チップセレクトライン 1 6、クロックライン 1 7、SCI ライン 1 8 をそれぞれ共有し、各ラインを介して相互に接続されている。例えば第 1 CPU 1 1 が EEPROM 1 3 とアクセス（読み出し又は書き込み）する前に、第 2 CPU 1 2 によるアクセス中でないことが事前に確認され、アクセス中でなければ、EEPROM 1 3 へアクセスする旨が第 2 CPU 1 2 に通知される。また、EEPROM 1 3 へのアクセス終了後、アクセス中である旨の通知が解除される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000004260]

1. 変更年月日	1996年10月 8日
[変更理由]	名称変更
住 所	愛知県刈谷市昭和町1丁目1番地
氏 名	株式会社デンソー